



Basiskonfiguration EC 1835

Autorenkollektiv)*

*VEB Robotron-
Büromaschinenwerk „
Ernst-Thälmann“
Sömmerda
VEB Robotron-
Buchungs-
maschinenwerk
Karl-Marx-Stadt*

Mit dem breiten Einsatz des Personalcomputers EC 1834 in der Volkswirtschaft wurde zunehmend die Erkenntnis gewonnen, daß das Einhalten der Kompatibilität, an der BIOS-Schnittstelle zum Betriebssystem die Lauffähigkeit international vertriebener Software in wichtigen Fällen nicht sichert. Das Zugreifen von Anwenderprogrammen auf die Hardware verlangt die volle Kompatibilität auf Hardware-niveau. Der Personalcomputer EC 1835 muß deshalb in folgerichtiger Weiterentwicklung die volle Kompatibilität - auch im funktionellen und zeitlichen Verhalten der Hardware - zum Industriestandard AT gewährleisten.

Systemeinheit

Bei der Konstruktion des EC 1835 wurde eine weitgehende Kompatibilität von wichtigen Baugruppen und Bauteilen zu den marktbestimmenden Erzeugnissen der PC-Linie angestrebt. Daraus resultieren konstruktive Unterschiede zum Personalcomputer EC 1834. Kernstück des Personalcomputers EC 1835 bildet die Systemeinheit mit folgenden Hauptbaugruppen:

Systemplatine mit acht Steckplätzen für Erweiterungsadapter, Mikroprozessor U80601, Arbeitsspeicherkapazität in der Grundausstattung 1- oder 2 MByte (maximal 8 MByte), ROM-Kapazität von 16- bis 128 KByte, serielle Tastatur- und Mausanschlüsse, Tongeberanschluß

Stromversorgung (Schaltnetzteil der Leistungsklasse 200 W) mit folgenden Anschlußbedingungen:

Netzspannung 220 V
 Netzfrequenz 47.. .63 Hz
 Nennstrom 2,5 A

Sekundärspannungen

- 5 V maximal 19,8 A
- + 12V maximal 7,3 A
- -5V maximal 300mA
- -12 V maximal 300 mA

fünf Slimline-Laufwerk-Plätze für die Aufnahme von Disketten (maximal 2 Laufwerke K 5601.16 (1,2 MByte) oder K 5603 (1,44 MByte)) und Festplatten-Laufwerken (K 5504.20 (20 MByte) oder K5504.50 (42 MByte))

Stützbatterien [2x CR 2032 (Lithium) oder 2x R 6]

Lautsprecher.

Die Systemeinheit des EC 1835 hat folgende Gehäuseabmessungen:

Breite: 516 mm *Höhe:* 162mm *Tiefe:* 400 mm.

Das *Gewicht* beträgt maximal 19 kg. Bei den eingesetzten Adaptern wird vorzugsweise auf Steckkartenabmessungen von *Länge* 338 mm Langadapter 157 mm Kurzadapter *Breite* (ohne Kamm) 100 mm oder 114 mm orientiert.

Systemplatine

Die logische Struktur der Systemplatine wird durch

- Prozessor und Koprozessor, einen integrierten Peripheriecontroller (IPC),
- **Drei CMOS-Gate-Arrays (U5301, ein Typ in drei Nutzungsvarianten, welche durch externe Beschaltung selektiert werden; weiterhin als D-GA, A-GA und C-GA bezeichnet),**
- einen Einchip-Mikrorechner (EMR) zur Steuerung der Tastatur- und Mausinterfaces,
- vier Steckplätze für ROM-Schaltkreise,
- vier Steckplätze für RAM-Module,
- acht Steckplätze für Erweiterungskarten

sowie einer geringen Anzahl von Ergänzungsschaltkreisen realisiert.

CPU-Komplex

Zur Verarbeitung und Steuerung des Informationsflusses wird ein **Prozessor U80601** eingesetzt, der mit einer Taktfrequenz von **8,0 MHz** arbeitet. Die Verarbeitungsbreite beträgt **16 Bit**. Es werden 24 Adreßbit entsprechend einem Adreßraum von 16 MByte zur Verfügung gestellt. Die Bildung der Kommandosignale sowie die Ready- und Shutdown-Steuerung erfolgen im C-GA.

Für arithmetische Berechnungen mit hohen Geschwindigkeitsanforderungen ist ein Koprozessor wahlweise auf Steckfassung einsetzbar. Er wird mit der gleichen Taktfrequenz wie der Prozessor (8,0 MHz) betrieben.

Takterzeugung

Auf der Systemplatine sind drei unabhängige, quarzstabilisierte Oszillatoren eingesetzt: 16,0 MHz - Mit dieser Frequenz werden Prozessor und Koprozessor (beide 1:2 untersetzt) und die Gate-Arrays betrieben. Ein im Verhältnis 1:2 untergesetztes Taktsignal (PCLK) wird als Takt für den EMR sowie mit dem Prozessorzyklus synchronisiert als Takt für den IPC (SCLK) und auf dem Systembus als SYSCLK bereitgestellt.

14,318MHz- Dieser Takt wird als OSC über den Systembus verteilt. Ein im Verhältnis 1:12 untergesetztes Taktsignal wird als Taktsignal für den Zeitgeber benutzt.

32,768KHz- Zum Betrieb der Echtzeituhr wird dieser Takt in einem batteriegestützten CMOS-Schaltkreis erzeugt. Er dient zusätzlich zur Ableitung der Interrupt-Rate für das Mausinterface.

Busverwaltung

Zu diesem Komplex gehören die Verwaltung und Steuerung der Daten (D-, XD-, MD- und SD-Bus) und Adreßwege (A-, XA-, MA- und SA/LA-Bus). Diese Aufgaben werden von zwei Gate-Arrays (D-GA und A-GA für Daten bzw. Adreßwege) realisiert. Bei Zugriffen zu 8-Bit-Einrichtungen wird eine Datenwegumschaltung (Byte-swap) für das höherwertige Datenbyte des Prozessors vorgenommen. Wortzugriffe zu 8-Bit-Einrichtungen werden in zwei aufeinanderfolgende Byte-Zugriffe konvertiert. Das Zeitverwalten bei Bus-Zugriffen entspricht standardgemäß dem des PC AT; mittels einer Konfigurationseinrichtung im C-GA läßt sich die Anzahl der Wait-Zyklen jedoch den aktuellen Erfordernissen anpassen. Durch beschleunigte Wege zwischen RAM und Prozessor sind Speicherzugriffe ohne Wait-Zyklen möglich.

DMA-Komplex

Die Steuerung des DMA-Betriebs erfolgt über Teile des IPC. Intern wird in diesem IPC die Funktion von zwei kaskadierten DMA-Controllern 8237A realisiert. Die acht DMA-Kanäle werden folgendermaßen verwendet: Kanal 0 bis 3: als 8-Bit-Kanäle auf dem Systembus verfügbar Kanal 4: zur Kaskadierung benutzt

Kanal 5 bis 7: als 16-Bit-Kanäle auf dem Systembus verfügbar. Die Erweiterung der DMA-Speicheradressen auf 24 Bit erfolgt durch sieben (jeweils bytebreite) Page-Register. Sie sind als Teil eines Register-Files ebenfalls im IPC enthalten.

Speicherkomplex (ROM)

Die Systemplatine kann wahlweise mit je 2 oder 4 EPROM-Schaltkreisen der Typen U2764 (8 K x 8) oder U27256 (32 K x 8) bestückt werden. Damit ist eine ROM-Kapazität von 16 bis 128 KByte möglich. Standardmäßig wird, wie beim PC AT, beim ROM-Zugriff ein Wait-Zyklus generiert. Werden langsamere EPROM-Schaltkreise eingesetzt, wird die Anzahl der Wait-Zyklen, gesteuert durch ein Eingangspin am C-GA, um zwei erhöht. Unabhängig davon wird nach entsprechender Initialisierung die variable Wait-Zyklen-Steuerung (siehe oben) wirksam.

Speicherkomplex (RAM)

Auf der Systemplatine ist ein Speicher aus dynamischen RAM-Schaltkreisen bestehend aus ein oder zwei Blöcken zu jeweils zwei RAM-Modulen von 9 Bit (Byte und Paritätsbit) untergebracht. Die RAM-Module stellen bezüglich der Systemplatine pinkompatible konstruktive Einheiten dar, die entweder 9 oder 18 DRAM-Schaltkreise enthalten. Logisch zerfällt jeder RAM-Block in 1 oder 4 Bänke mit je zwei Byte Aufrufbreite. Die Speicherkapazität einer Bank beträgt abhängig vom eingesetzten DRAM-Typ 2 MByte oder 512 KByte. Die Informationen zu Schaltkreistyp und Größe der RAM-Blöcke sind in einem Konfigurationsspeicher (4 Byte) im A-GA untergebracht. Außerdem enthält dieser Konfigurationsspeicher Informationen über das Timing der RAM-Ansteuerung (RAS-, CAS-Bildung usw.). Damit ist es möglich, den Speicherzugriff dynamisch zu optimieren mit dem Ziel, RAM-Zugriffe mit minimaler Anzahl von Wait-Zyklen auszuführen. Wahlweise kann auch im Page-Modus gearbeitet werden, so daß auch langsame dRAM-Schaltkreise effektiv betrieben werden können. Um den im Speicheradresebereich für Bildspeicher und Adapter-BIOS-ROM belegten Bereich von 640- bis 896 K als RAM-Kapazität nicht zu verlieren, wird dieser RAM-Bereich, wenn er physisch vorhanden ist, durch entsprechende Umschlüsselung der Speicheradressen oberhalb der physischen Speicherkapazitätsgrenze verfügbar gemacht. Die Benutzung von RAM-Adresebereichen ab der 1-MByte-Grenze auf der Systemplatine kann durch die Konfigurationssteuerung gesperrt werden, wenn Adapterkarten mit RAM eingesetzt werden, die auf die Startadresse 1 MByte festgelegt sind. Ist der RAM-Bereich größer als 896 KByte konfiguriert, überlappt er sich mit dem ROM-Bereich. Die Konfigurationssteuerung erlaubt wahlweise die Nutzung des RAM-Bereiches von 896 KByte bis zur physischen ROM-Startadresse. Die Abarbeitung der BIOS-Routinen kann beschleunigt werden, indem nach Initialisierung des Gerätes diese Routinen in den im gleichen Adresebereich vorhandenen RAM-Speicher (Shadow-RAM) umgeladen werden, der ROM in diesem Bereich gesperrt und dieser BIOS-RAM-Bereich gegen Schreibzugriffe geschützt wird. Analog zum PC AT kann der RAM-Bereich von 256 bis 512 KByte auf der Systemplatine gesperrt werden.

Die Information zum Sperren des Bereiches (RAM-JUMPER) ist über den EMR abfragbar.

Alle Konfigurationsdaten zur Verlagerung, Sperrung und zum Schreibschutz von ROM- und RAM-Bereichen befinden sich im 4-Byte-Konfigurationsspeicher des A-GA. Dieser Speicher wird zusammen mit den Konfigurationsregistern im C-GA und im IPC beim Einschalten des Gerätes mit einem Standardwert geladen, der dem Verhalten des PC AT entspricht. Beim Initialisieren werden die Konfigurationsdaten durch die BIOS-Routinen aus dem batteriegestützten CMOS-RAM des IPC gelesen. Damit kann eine optimal an die Hardware angepaßte Konfiguration eingestellt werden. Die den RAM betreffenden Schaltungen zur Paritätsbit-Kontrolle und -Generierung befinden sich auf dem D-GA. Refresh-Operationen werden durch das C-GA gesteuert. Die Refresh-Rate wird aus Kanal 1 eines Zeitgebers gewonnen, der Bestandteil des IPC ist. Die Refresh-Adressen werden aus einem Zähler (Bit 0-10) auf dem A-GA und einem Page-Register (Bit 16-23) auf dem IPC gebildet. *Zeitgeber, Echtzeituhr* Die Funktionen des Zeitgebers (analog 8254) und der Echtzeituhr mit CMOS-RAM (analog MC146818) werden durch den IPC realisiert.

Die drei Zeitgeberkanäle werden wie folgt verwendet: *Kanal 0*: Frei verfügbar für System

Kanal 1: Ableitung der Refresh-Rate

Kanal 2: Frequenzerzeugung für Tongeber.

Als Grundtakt wird der im C-GA aus der Frequenz OSC durch Teilung 1:12 gebildete 1,19 MHz-Takt genutzt. Die Echtzeituhr realisiert in Verbindung mit dem zugehörigen CMOS-RAM auch eine Kalender-, Alarm- und periodische Interrupt-Funktion. Im CMOS-RAM sind darüber hinaus gerätespezifische Konfigurationsdaten und ein Schutzwort (8

Byte) gespeichert. Bei ausgeschalteter Stromversorgung wird die Funktion der Uhr und der Inhalt des CMOS-RAM durch eine Batterie aufrechterhalten.

Interrupt-System

Das Interrupt-System umfaßt neben den Software- und prozessorinternen Interrupts 15 maskierbare Hardware-Interrupts und den nichtmaskierbaren Interrupt (NMI). Die Steuerung der Hardware-Interrupts erfolgt durch zwei kaskadierte Interrupt-Controller (analog 8259A), deren Funktionen im IPC enthalten sind. Die Hardware-Interrupts werden wie folgt verwendet:

- IRQ0 : Zeitgeber Kanal 0
- IRQ1 : Tastatur
- IRQ2 : Belegt zur Kaskadierung
- IRQ3-7 : Auf Systembus verfügbar
- IRQ8 : Echtzeituhr (Alarm, periodischer Interrupt)
- IRQ9-12 : Auf Systembus verfügbar
- IRQ13 : Koprozessor IRQ14-15 : Auf Systembus verfügbar.

Der nichtmaskierbare Interrupt kann durch Paritätsfehler im RAM oder durch Fehler auf Adapterkarten (IOCHCK) ausgelöst werden. Die NMI-Steuerung wird durch Schaltungen im C-GA realisiert. *Tastatur-, Maus- und Tongeberanschluß* Die Ansteuerung des Tongebers erfolgt direkt durch ein Signal aus dem C-GA. Außerdem ist an diesem Gate-Array über einen bytebreiten Datenweg der EMR (UC8841M) angeschlossen. Der EMR realisiert die Schnittstellen zur Tastatur (bidirektional, bitseriell, AT-kompatibel) und zu einer passiven Zwei-Tasten-Maus. Weiterhin sind Einzelsignale (Schalter) abfragbar. Das Erscheinungsbild der jeweiligen EMR-Einrichtung gegenüber dem Prozessor wird durch eine Anpaßschaltung im C-GA bestimmt, wodurch weitgehende Kompatibilität zum PC AT erreicht wird. Da im Unterschied zu anderen Personalcomputern des AT-Niveaus ein anderer EMR-Typ eingesetzt wird, können bei der Ausführung von Funktionen Zeitabweichungen auftreten. *Systembus*

Auf der Systemplatine befinden sich acht Steckplätze für Erweiterungskarten (Adapterkarten), die standardmäßig mit 62poligen direkten Steckverbindern (XT-kompatibel) oder zusätzlich zu diesen mit 36poligen direkten Steckverbindern (AT-Bus-Erweiterung) bestückt werden. Wahlweise können die drei linken Steckplätze (von vorn gesehen) mit 96poligen indirekten Steckverbindern ausgerüstet werden, so daß auch Adapterkarten des EC 1834 bzw. EC 1834.01 eingesetzt werden können. Der indirekte Steckverbinder enthält alle Bus-Signale des EC 1834.

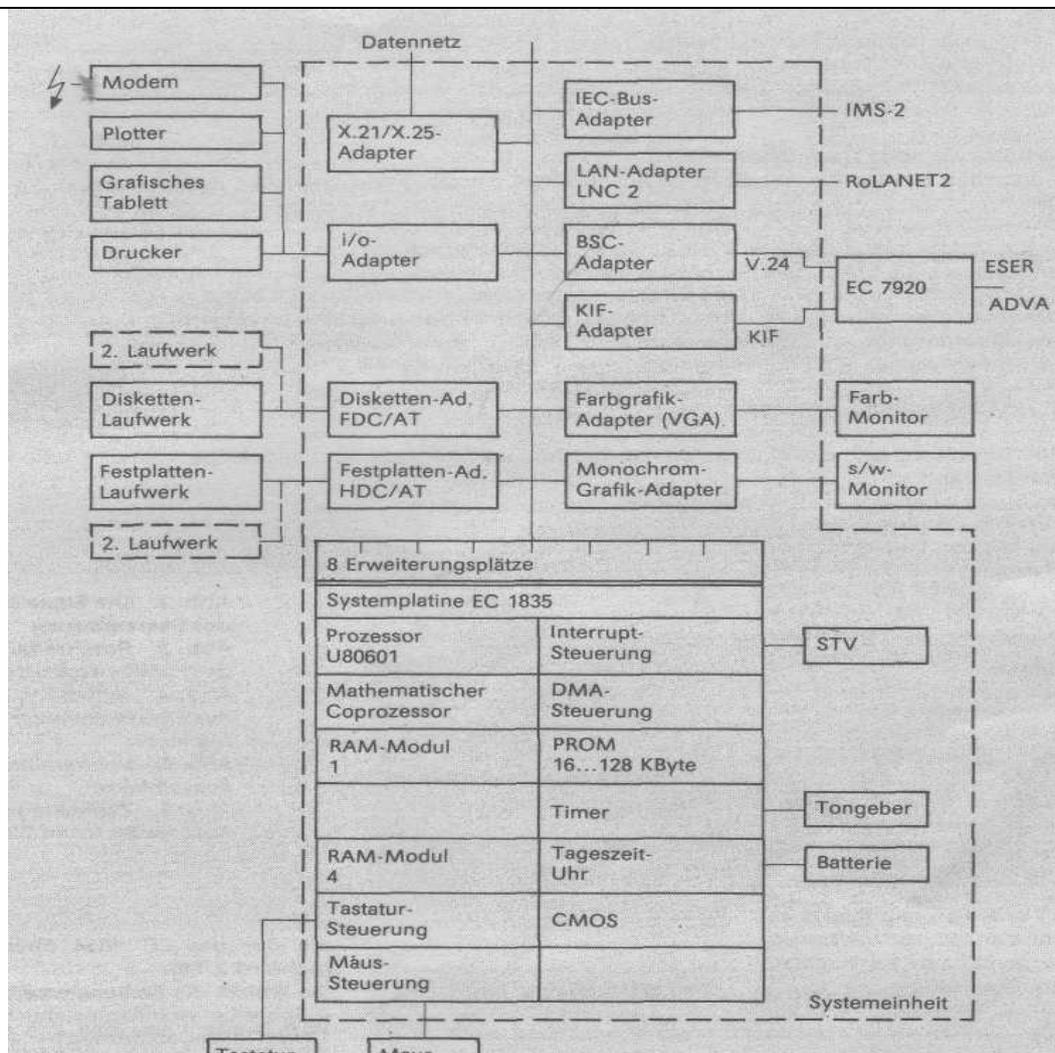


Abb. 1 EC 1835 -Systemeinheit und anschließbare Geräte

OSC: Oszillatortakt – 14,318 Mhz
 SYSCLK: Systemtakt – 8,0 MHz; beide Taktsignale haben ein symmetrisches Tastverhältnis
 D15 – D0: Datenbus für Prozessor, Speicher- und E/A-Einheiten
 SA19 – SA0: Adreßbits 19-0 zur Adressierung der systeminternen Speicher- und E/A-Einheiten, werden von CPU, DMA, oder externem Master geliefert
 LA23 – LA17: Höherwertige Adreßbits, ungelatcht
 SBHE: Byte High Enable – Gültigkeit des höherwertigen Datenbytes
 BALE: Adressenverriegelung – Bei CPU-Zugriffen werden die Adreßbits SA19 – SA0 mit diesem Signal gelatcht
 RESETDRV: Systemrücksetzen, high aktiv
 /IOCHCK: Fehlermeldung von Adapterkarte, führt zu NMI
 IOCHRDY: Ermöglicht Verlängerung der Bus-Zyklen um zusätzliche Wait-Zyklen, falls erforderlich
 /IOR, /IOW, /MEMR, /MEMW: Kommandosignale für E/A- und Speicher-Lesen bzw. -Schreiben
 /SMEMR, /SMEMW: Kommandosignale für Speicher-Lesen bzw. Schreiben. Nur im unteren 1-MByte-Bereich aktiv
 IRQ9 – 12, IRQ14, IRQ15, IRQ3 – 7: Interruptanforderungssignale. Mit L/H-Flanke wird Interrupt ausgelöst, priorisiert
 DRQ0 – DRQ3, /DACK0 – /DACK3: DMA-Anforderungs- und Quittungssignale für 8-Bit-DMA-Kanäle 0 bis 3
 DRQ5 – DRQ7, /DACK5 – /DACK7: DMA-Anforderungs- und Quittungssignale für 16-Bit-DMA-Kanäle 5 bis 7
 TC: Ende-Zähler bei DMA-Operation
 AEN: Anzeige für DMA-Betrieb. Wird bei /MASTER=0 abgeschaltet
 /MEMCS16: 16-Bit-Speicherauswahl
 /IOCS16: 16Bit-E/A-Auswahl. Diese beiden Signale müssen low-aktiv geschaltet werden, wenn die adressierte Speicher- richtung mit 16-Bit-Zugriffen betrieben werden kann.
 /REFRESH: Refresh-Signal (low-aktiv) von Timer oder externem Master
 OWS: Zero Wait State, ermöglicht Verkürzung der Bus-Zyklen
 /MASTER: Bus-Herrschaft durch externen Master. Low-aktiv

- Abb. 2 Die Signale des Systembusses
- Abb. 3 Beschreibung der Funktionsgruppen
- Abb. 4 Aufteilung des Diskettensteuerregisters
- Abb. 5 Verwendbare Schreibtakt
- Abb. 6 Zähltaktauswahl für Bit 0 und Bit 1

Adreßraum		E/A-Adresse	Lesen	Schreiben
prim.	sek.			
3F1	371		Identifikations-Port	
3F2	372			Digitales Ausgaberegister
3F4	374		Main-Status-Register (FDC)	
3F5	375		Daten-Register (FDC)	
3F7	377		Digitales Eingaberegister	Diskettensteuerregister

Bit	0	1	Übertragungsrate	Aufzeichnungsverfahren
	0	0	500 kBit/s	MFM, High Density
	1	0	300 kBit/s	MFM, Normal Density
	0	1	250 kBit/s	MFM, Normal Density
	1	1	125 kBit/s	FM

Bit	0	1	High-Impuls	Periodendauer
	0	0	250 ns	1 µs
	1	0	208 ns	1,67 µs
	0	1	250 ns	2 µs
	1	1	250 ns	4 µs

Bit	0	1	Zähltakt PLL
	0	0	16 MHz
	1	0	9,6 MHz
	0	1	8 MHz
	1	1	4 MHz

Tastatur

Im Personalcomputer EC 1835 wird eine abgesetzte Flach tastatur K 7673.xx eingesetzt, die an Ländererfordernisse angepaßt werden kann. Ihr Layout stimmt mit der des EC 1834 überein (siehe rd 2/88).

Sie enthält die Bedienelemente

- Schreibmaschinentastatur und Tasten in länderspezifischer Ausführung,
 - numerische Tastatur,
 - Funktions- und Funktionssteuertasten (die Zuordnung erfolgt über das Programm) sowie
- Cursortasten und Anzeigefeld.

Funktionsprinzip

- Spezielles serielles bidirektionales Interface
- Übertragung von Positionscodes (Scan-Codes)
- Zeichenübertragung von acht Datenbit mit Start-, Stop- und Paritätsbit
- Übertragung von Kommandos von der Systemeinheit zur Tastatur
- FIFO-Speicher für 16 Scan-Codes
- Unterschiedlicher Make- und Break-Code aller Tasten (beim Drücken bzw. Loslassen der Tasten)
- Typamatic-Funktion aller Tasten außer Taste Pause (Typamatic-Delay und -Rate programmierbar).

	K 5504.20	K 5504.50		1. HDC	2. HDC
Zylinder	615	1 024	Datenregister (Sektorpuffer)	1F0	170
Köpfe	4	5	Fehlerregister (Lesen)	1F1	171
Präkompensation	ohne	ohne	Präkompensationsgrenze (Schreiben)	1F1	171
Schreibstrom-			Sektoranzahl	1F2	172
reduzierung	ohne	ohne	Sektornummer	1F3	173
Kapazität (Netto)	20,9 MByte	43,5 MByte	Zylindernummer	1F4/5	174/5
			Laufwerk- und Kopfnummer	1F6	176
			Statusregister (Lesen)	1F7	177
			Kommandoregister (Schreiben)	1F7	177
			Veränderlicher Harddisk-Status	3F6	376

Abb. 7 Parameter der Laufwerke Abb. 8 Portadressen für die Daten- und Steuerregister des HDC

Diskettenlaufwerke und -adapter

Die Disketten-Steuerung dient zum Anschluß von maximal zwei Laufwerken. Diese Laufwerke können sowohl 5,25"- als auch 1,5"-Format haben. Als Aufzeichnungsverfahren ist vorzugsweise MFM in Normal- und High-Density möglich.

Die Steuerung basiert auf einem von der CPU der Systemplatine steuerbaren Floppydisk-Control-ler (FDC).

Auf der Adapterkarte FDC/AT befindet sich eine Steckerleiste, über die mittels eines speziellen Bandkabels zwei geräteinterne Laufwerke angeschlossen werden können. Für die Stromversorgung der Laufwerke sind separate Kabel vom Netzteil vorsehen.

Die Signaleingänge sind entsprechend den technischen Forderungen der angeschlossenen Laufwerkstypen mit 1 KOHM nach +5V beschaltet. Damit sind Interfacekabel-Längen bis zu 1,5 m zulässig. Als Empfänger-Schaltkreis dient der DL014D mit Schmitt-Trigger-Eingängen. Alle Ausgänge zu den Laufwerken werden von dem OC-Treiber K 155LA13 (7438) realisiert, er einen maximalen Ausgangstrom von 48 mA ermöglicht.

Identifikationsport

Dieses Nur-Lese-Register unterscheidet durch die Bit 7 bis 3 zwischen EC-1834.01-Adapter (FDC/XT) und EC-1835-Adapter (FDC/AT). Für den FDC/AT gilt folgende Belegung: Bit 7 6 5 4 3 2 1 0

0 1 0 1 0 x x x

Digitales Ausgaberegister

Dieses Nur-Schreib-Register steuert die Motor, Selekt- und sonstige Steuerleitungen. Alle Bit werden beim Einschalten gelöscht (low gesetzt). Laufwerkselekt Bit 00 LWA 1 LW B

Bit 2 0 FDC freigegeben 1 FDC Reset

Bit 3 0 Interrupt und DMA-Arbeit gesperrt; 1 Interrupt und DMA-Arbeit freigegeben

Bit 4 1 Motor LW A eingeschaltet

Bit 5 1 Motor LW B eingeschaltet

Die Bit 1, 6 und 7 werden nicht benutzt.

Diskettensteuerregister

Dieses Nur-Schreib-Register steuert den Grundtakt des FDC sowie Schreib- und Lesetakt (Abb. 4).

Der FDC benötigt folgende Grundtakte:

8 MHz - für High-Density-Laufwerke im High-Density-Modus bei einer Übertragungsrate von 500 KBit/s

4,8 MHz- für High-Density-Laufwerke im Normal-Density-Modus bei einer Übertragungsrate von 300 KBit/s 4 MHz— für Normal-Density-Laufwerke bei einer Übertragungsrate von 250 KBit/s (MFM) bzw. 125 KBit/s (FM). Dem FDC werden in Abhängigkeit vom Diskettensteuerregister die Schreibtakt in Abb. 5 angeboten.

Für den Datenseparator wird in Abhängigkeit von Bit 0 und Bit 1 der Zähltakt ausgewählt (Abb. 6).

Schreibsteuerung

Es erfolgt generell eine Präkompensation der Schreibdaten mit einem Wert von 125 ns, um den Effekt der Spitzenverschiebung bei Wiedergabe der Diskettendaten auszugleichen.

Datenseparator mit synchronem Zähler

In diesem Schaltungsteil werden die Lesedaten formiert und mit Hilfe eines durch die Lesedaten synchronisierten Zählers das vom FDC benötigte Datenfensersignal erzeugt.

Digitales Eingaberegister

Dieses Nur-Lese-Register dient der Erkennung des Disketten-wechselsignals.

Anschluß der Disketten-Laufwerke

Es ist nur ein Anschluß von geräteinternen Laufwerken vorgesehen. Er ist vorzugsweise für die Laufwerkstypen K 5601.16 und K 5603 ausgelegt (Prinzipiell ist nur der Einsatz von High-Density-Laufwerken mit Disketten-wechselsignal oder 40-spurigen Laufwerken möglich.). Über das an der Steckerleiste X1 angeschlossene Bandkabel werden die Laufwerke A und B angeschlossen. Das Laufwerk B befindet sich am Kabelende. Der Leitungsabschlußwiderstand wird nur beim Laufwerk B belassen. Alle eingesetzten Laufwerke sind laufwerksseitig mit DRIVE SE-LECT 1 zu adressieren. Die Motorsteuerung ist am Laufwerk so einzurichten, daß sie mit dem Signal MOTOR ON erfolgt.

Festplattenlaufwerk und -adapter

Festplattenlaufwerk

Im EC 1835 ist der Einsatz eines Festplattenlaufwerkes K 5504.20 bis K 5504.50 möglich. Die Laufwerke haben die in Abb. 7 dargestellten Parameter. *Adapter*

für Festplattenlaufwerke Der Festplatten-Adapter (HDC/ AT) dient zum Anschluß von einem oder zwei Festplatten-Laufwerken. Der EC 1835 kann bis zu zwei HDC enthalten. Die Kopplung von Karte und Gerät erfolgt über das SEAGATE-Interface ST506/412.

Die Laufwerke können bis zu 1024 Zylinder und bis zu 16 Köpfe enthalten. Auf jeder Spur können 17 Sektoren zu je 512 Byte mit einem zugehörigen Steuerfeld - dem ID-Feld - untergebracht werden. Das ID-Feld wird mit einem 16-Bit-langen CRC-Code geprüft, die Daten eines Sektors mit einem 32-Bit-ECC-Code ergänzt, der beim Auslesen die Korrektur von bis zu fünf aufeinanderfolgenden Bit ermöglicht.

Die Datenübertragungsrate von und zum Festplatten-Laufwerk beträgt 5 MBit/s. Die Daten sind MFM-codiert; sie können beim Schreiben einer Präkompensation unterzogen werden.

Die Zusammenarbeit mit dem Laufwerk wird vor allem durch einen Controllerschaltkreis U82062 gesteuert. Dieser Schaltkreis steuert auch den Datenaustausch mit dem als RAM aufgebauten Sektorpufferspeicher. Er kann folgende Befehle verarbeiten:

- Suchen Spur 0
- Suchen beliebige Spur
- Lesen Sektor
- Schreiben Sektor
- ID-Feld suchen
- Formatieren.

Der Adapter enthält außerdem Schaltungen für die Durchführung der ECC-Fehlererkennung und -Korrektur sowie einen Steuerprozessor, der die Ausführung der Anweisungen veranlaßt, die der HDC über den Systembus erhält.

Die Datenübertragung von der CPU zum Sektorpuffer erfolgt über den Systembus mit 16-Bit-Breite; die Übernahme und Ausgabe von Steuer- und Zustandsinformationen mit 8-Bit-Breite. Diese Transporte werden von der CPU gesteuert, das zugehörige Steuerprogramm des BIOS.

befindet sich beim EC 1835 auf der Systemplatine. Die Daten- und Steuerregister des HDC werden über Portadressen (Hex.) gemäß Abb. 8 angesprochen.

Der HDC/AT ist auf einer Steckkarte der Größe 100 mm x 338 mm mit direktem Steckverbinder untergebracht.

Monochromatischer Monitor und Monitoradapter

Der Monochrom-Grafik-Adapter (MGA) gehört zur Standardausrüstung des EC 1835 und ist BIOS- und Hardwarekompatibel zur Monitorsteuerung der Standard-Hercules-Karte. Er ist als Steckereinheit im Format 338 mm x 100 mm mit direktem Steckverbinder realisiert. Der MGA besitzt einen 64 KByte großen Bildspeicher, der im Adreßbereich B0000H bis BFFFFH des Systemspeichers liegt; der Bereich B8000H bis BFFFFH ist auf dem MGA maskierbar, so daß in diesem Bereich im gleichen Gerät andere Adapter (z. B. Farb-Grafik-Adapter) betrieben werden können. An den MGA können Monochrom-Monitore mit Zeilenfrequenzen von 18,4 kHz bis 21,7 kHz angeschlossen werden. Mit der Original-Initialisierung der Standard-Hercules-Karte laufen die Monitore K 7228.1, Aiphai, MON3.20, IBM 5151 und alle IBM-kompatiblen Monitore; der Monitor K 7229.24 benötigt eine spezielle Initialisierung. Der Monitoranschluß erfolgt über einen 9poligen Subminiaturstecker (Abb. 9). Die Anpassung des MGA an den anzuschließenden Monitortyp kann entweder durch Massebrücken an den Steckerpins 3 bis 5 des 9poligen Monitorsteckers oder durch Kurzschlußbrücken auf dem MGA erfolgen. Die Steuerung des MGA erfolgt über den CRT-Controller CM607 P (äquivalent MC 6845), der über die Portadressen 3B4H (Indexregister; Indices 00H bis 11H) und 3B5H (Datenregister) programmierbar ist. Darüber hinaus existieren folgende Register: xMode-Register (3B5H (Index 14H)) Anzeigemodus-Steuerregister (3B8H) Statusregister (3BAH) Konfigurationsregister (3BFH). Der Anwender des MGA kann wahlweise im Text- oder Grafikmodus arbeiten.

Textmodus

Im Textmodus werden auf einem Bild von 720 x 350 Pixel 25 Textzeilen zu je 80 Zeichen dargestellt. Die Zeichenmatrix von 7 x 8 Pixel ist in einer Zeichenbox der Größe 9 x 14 Pixel untergebracht.

Für jedes Zeichen werden im Speicher 16 Bit benötigt: 8 Bit Zeichencode (auf geraden Adressen) und 8 Bit Attributcode (auf ungeraden Adressen). Der MGA enthält einen PROM und einen ladbaren RAM-Zeichengenerator für je 256 Zeichen. Der ladbare Zeichengenerator liegt im Adreßbereich B4000H bis B4FFFFH und ist kompatibel zum 4-K-RAM-Font-Modus der Hercules-Plus-Karte. Der Cursor wird blinkend in der

12. und 13. Linie der Zeichenbox dargestellt; der Unterstreichungsstrich erscheint in der

13. Linie. Als Bildspeicher stehen im Textmodus 2 x 16 KByte in den Adreßbereichen B0000H bis B3FFFFH und B8000H bis B3FFFFH zur Verfügung. Bei einer Zeichenbox 4 x 14 Pixel werden 4 KByte für ein komplettes Bild benötigt, so daß gleichzeitig acht Bildinhalte in folgenden Adreßbereichen abgelegt werden können:

B0000H-B0FFFFH (Standard), B1000H-B1FFFFH, B2000H-B2FFFFH, B3000H-B3FFFFH, B8000H-B8FFFFH, B9000H-B9FFFFH, BA000H-BAFFFFH, BBO00H-BBFFFFH.

Im 4-K-RAM-Font-Modus ist die Definition von Zeichenboxen mit minimal vier Linien möglich.

Grafikmodus

Im Grafikmodus werden Bilder von 720 x 348 Pixel erzeugt, wobei jedem Pixel im Speicher ein Bit zugeordnet ist (hell/dunkel). Der Bildspeicher faßt zwei komplette Bildinhalte (Grafikseiten 0, 1), die sich in den Adreßbereichen B0000H bis B7FFFFH und B8000H bis BFFFFH befinden. Der CRT-Controller wird so initialisiert, als wenn mit einer Zeichenbox von vier Linien Höhe gearbeitet wird, wobei die beiden niederwertigen Zeilenadreibit mit zur Speicheradressierung verwendet werden. Werden im Bildspeicher, beginnend mit Adresse B0000H, fortlaufend Grafikbyte abgelegt, so erscheinen sie in der 1., 5., 9. usw. Bildzeile. Für die Grafikseiten gilt folgende Zuordnung:

Grafikseite 0

B0000H-B1FFFFH; B2000H-B3FFFFH; B4000H-B5FFFFH; B6000H-B7FFFFH

Grafikseite 1

B8000H-B9FFFFH; BAOOOH-BBFFFFH, BCOOOH-BDFFFFH; BEOOOH-BFFFFH

Bildzeilen

1.5.9, ..., 345

2.6.10, ..., 346

3.7.10, ..., 347

4.8.10, ..., 348.

In jedem 8-K-Bereich sind die letzten 362 Byte redundant und haben keinen Einfluß auf die Bildschirmanzeige.

Steckerpin	Signal
1,2	Masse
3,5	Monitoridentifikatoren (abfragbar über Statusport)
4	Umschaltung Videofrequenz, Synchronsignale
6	Intensität
7	Videosignal
8	Horizontal-Synchronsignal
9	Gemischtes oder Vertikal-Synchronsignal

Abb. 9 Anschlußbild des Monitors

Autoren ; *) Gerold Deutsch, Ulrich Bähring, Helmut Logisch VEB Robotron-Büromaschinenwerk „Ernst Thälernann“ Sömmerda
Dr. Steffen Graf, Karl-Heinz Homilius, Dr. Helmut Schönyan, Wolfgang Schulze
VEB Robotron-Buchungsmaschinenwerk Karl-Marx-Stadt